

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-311730

(43)Date of publication of application : 28.11.1995

(51)Int.Cl. G06F 13/16
G06F 12/00

(21)Application number : 06-105782 (71)Applicant : CANON INC

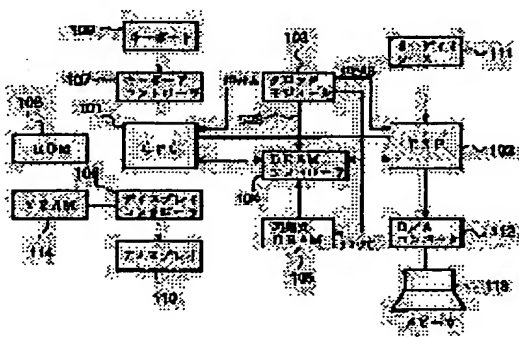
(22)Date of filing : 19.05.1994 (72)Inventor : NAGASAKI KATSUHIKO
MATSUBAYASHI
KAZUHIRO
SHIMADA KAZUTOSHI
TATSUMI EISAKU
MORI SHIGEKI
FUKUDA RYOJI
HARADA TAKASHI
SUNAKAWA SHINICHI

(54) METHOD AND DEVICE FOR MEMORY CONTROL

(57)Abstract:

PURPOSE: To improve the throughput of a processor by using a synchronous type DRAM as a common memory for plural processors and enabling access to the memory without making the processors wait.

CONSTITUTION: This device has a CPU 101 and a DSP 102 which share the synchronous type DRAM 105, a clock module 103 which supplies a clock C of 1st frequency to the synchronous type DRAM 105 and supplies the CPU 101 and DSP 102 with clocks A and B which are of 2nd frequency a half as high as the frequency of the clock C and shifted in phase from each other by one cycle of the 2nd frequency, and a DRAM controller 104 which inputs commands for access to the synchronous type DRAM 105 from the CPU 101 and DSP 102, outputs the address signal and control signal of the synchronous type DRAM 105 in synchronism with the clock C of the 1st frequency, and accesses the synchronous type DRAM 105 on the basis of the address signal and control signal to perform data transfer between the synchronous type DRAM and N processors.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-311730

(43) 公開日 平成7年(1995)11月28日

(51) Int.Cl.⁶

G 0 6 F 13/16
12/00

識別記号

庁内整理番号

F I

技術表示箇所

5 2 0 A 9366-5B
5 6 4 A 7608-5B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平6-105782

(22) 出願日 平成6年(1994)5月19日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 長崎 克彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 松林 一弘

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 島田 和俊

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

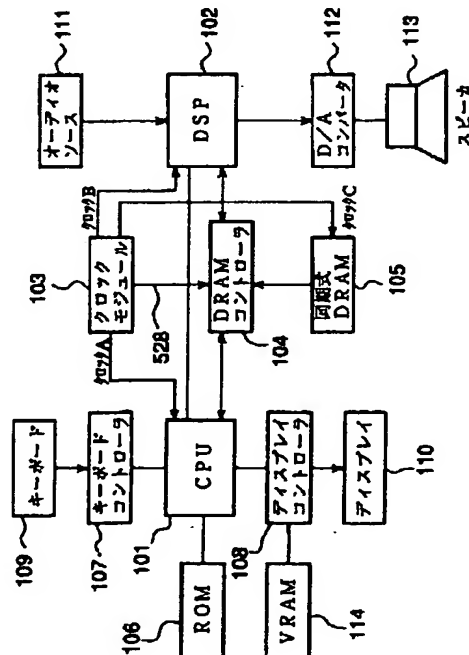
最終頁に続く

(54) 【発明の名称】 メモリ制御方法及び装置

(57) 【要約】 (修正有)

【目的】 同期式DRAMを複数のプロセッサの共有メモリとして用い、プロセッサをウエイトさせることなくメモリをアクセスできるようにして、プロセッサのスループットを向上させる。

【構成】 同期式DRAM105を共有するCPU101とDSP102と、同期式DRAM105に第1の周波数のクロックCを供給し、クロックCの周波数の1/2倍の第2の周波数で、位相を第2の周波数の一周分ずつ互いにずらしたクロックA、Bを、CPU101とDSP102に供給するクロックモジュール103と、CPU101とDSP102より同期式DRAM105へのアクセスコマンドを入力し、第1の周波数のクロックCに同期して同期式DRAM105のアドレス信号及び制御信号を出力し、アドレス信号及び制御信号に基づいて同期式DRAM105をアクセスして同期式DRAMとN個のプロセッサとの間でデータ転送を行うDRAMコントローラ104とを有する。



【特許請求の範囲】

【請求項1】 同期式DRAMを共有するN (N>1) 個のプロセッサと、

前記同期式DRAMに第1の周波数のクロックを供給し、前記第1の周波数の1/N倍の第2の周波数で、位相を前記第2の周波数の一周期ずつ互いにずらしたクロック信号のそれぞれを前記N個のプロセッサのそれぞれに供給するクロック発生手段と、

前記N個のプロセッサのそれぞれより前記同期式DRAMへのアクセスコマンドを入力し、前記第1の周波数のクロックに同期して前記同期式DRAMのアドレス信号及び制御信号を出力する制御手段と、

前記アドレス信号及び制御信号に基づいて前記同期式DRAMをアクセスして前記同期式DRAMと前記N個のプロセッサの各プロセッサとの間でデータ転送を行うデータ転送手段と、を有することを特徴とするメモリ制御装置。

【請求項2】 前記DRAMのアドレス信号は前記N個のプロセッサのそれぞれ毎に異なるタイミングで出力されることを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 N (N>1) 個のプロセッサにより同期式DRAMを共有してアクセスするメモリ制御方法であって、

前記同期式DRAMに第1の周波数のクロックを供給する工程と、

前記N個のプロセッサのそれぞれに前記第1の周波数の1/N倍の第2の周波数で、各プロセッサ毎に位相を前記第2の周波数の一周期ずつずらしたクロックのそれぞれを供給する工程と、

前記N個のプロセッサのいずれかより前記同期式DRAMへのアクセスコマンドを入力する工程と、

前記アクセスコマンドに対応する前記同期式DRAMのアドレス信号を及び制御信号を出力する工程と、

前記アドレス信号及び制御信号に基づいて前記同期式DRAMをアクセスして前記アクセスコマンドを発行したプロセッサと前記同期式DRAMとの間でデータを転送する工程と、を有することを特徴とするメモリ制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数のプロセッサにより共有されているメモリをアクセスするメモリ制御方法及び装置に関するものである。

【0002】

【従来の技術】 半導体技術等の進歩に伴って、コンピュータの処理速度は高速化の一途をたどっているが、このような高速化を実現する一手段として、マイクロコンピュータ等のCPUの駆動周波数を高めて処理速度を早めることが行われている。この駆動周波数を高めることは

最も一般的に行われており、特にCPUのなかには、クロックの周波数が100MHz以上で動作するものも製作されている。

【0003】 一方、メモリに関しては、動作可能な周波数の上限はCPUほど高速化されていないため、CPUがメモリの内容をリードあるいはライトしようとする場合には、メモリのアクセス速度に合わせるためにCPUの処理が待たされる（ウェイトが入る）ことになる。このため、動作クロックの周波数を高めてCPUによる処理を高速化しても、システム全体の処理速度をそのCPUの処理速度に比例して高めることができなかった。そこで、メモリの内容を先読みして、メモリの速度に合わせるためのウェイト時間を少なくする、一種のバッファとして、キャッシュメモリ構造が提案されている。

【0004】 さらに近年、キャッシュメモリ用に、クロックに同期させてデータのリード/ライトを行う同期式のDRAM（ダイナミックRAM）が開発され、CPUのクロックに同期させて、キャッシュされている内容をリード/ライトすることで高速化を図る技術が提案されている。

【0005】

【発明が解決しようとする課題】 しかしながら上述した同期式DRAMは、CPUの動作クロックと同期を取るにより高速にデータのリード/ライトを行っているため、キャッシュ以外の使用法は考えられていない。従って、このようなメモリを用いたとしても、一般的なメモリの使用方法に対しては、十分な高速化の対策がたられていないため、このようなDRAMを用いた複数のプロセッサから成るシステムにおけるスループットの向上は未解決となっていた。

【0006】 本発明は上記従来例に鑑みてなされたもので、同期式DRAMを複数のプロセッサの共有メモリとして使い、プロセッサをウェイトさせることなくメモリをアクセスできるようにして、プロセッサのスループットを向上させたメモリ制御方法及び装置を提供することを目的とする。

【0007】 また本発明の他の目的は、複数のプロセッサでDRAMを共有できるようにして、装置全体を小型にするメモリ制御方法及び装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために本発明のメモリ制御方法は以下のような工程を備える。即ち、N (N>1) 個のプロセッサにより同期式DRAMを共有してアクセスするメモリ制御方法であって、前記同期式DRAMに第1の周波数のクロックを供給する工程と、前記N個のプロセッサのそれぞれに前記第1の周波数の1/N倍の第2の周波数で、各プロセッサ毎に位相を前記第2の周波数の一周期ずつずらしたクロックのそれぞれを供給する工程と、前記N個のプロセッサのいずれかより前記同期式DRAMへのアクセスコ

3

マンドを入力する工程と、前記アクセスコマンドに対応する前記同期式DRAMのアドレス信号及び制御信号を出力する工程と、前記アドレス信号及び制御信号に基づいて前記同期式DRAMをアクセスして前記アクセスコマンドを発行したプロセッサと前記同期式DRAMとの間でデータを転送する工程とを有する。

【0009】上記目的を達成するために本発明のメモリ制御装置は以下のような構成を備える。即ち、同期式DRAMを共有するN(N>1)個のプロセッサと、前記同期式DRAMに第1の周波数のクロックを供給し、前記第1の周波数の1/N倍の第2の周波数で、位相を前記第2の周波数の一周分ずつ互いにずらしたクロック信号のそれぞれを前記N個のプロセッサのそれぞれに供給するクロック発生手段と、前記N個のプロセッサのそれぞれより前記同期式DRAMへのアクセスコマンドを入力し、前記第1の周波数のクロックに同期して前記同期式DRAMのアドレス信号及び制御信号を出力する制御手段と、前記アドレス信号及び制御信号に基づいて前記同期式DRAMをアクセスして前記同期式DRAMと前記N個のプロセッサの各プロセッサとの間でデータ転送を行うデータ転送手段とを有する。

【0010】

【作用】以上の構成において、同期式DRAMに第1の周波数のクロックを供給し、N個のプロセッサのそれぞれに前記第1の周波数の1/N倍の第2の周波数で、各プロセッサ毎に位相を前記第2の周波数の一周分ずつずらしたクロックのそれぞれを供給する。これらN個のプロセッサのいずれかより前記同期式DRAMへのアクセスコマンドを入力すると、そのアクセスコマンドに対応する同期式DRAMのアドレス信号を及び制御信号を出力し、そのアドレス信号及び制御信号に基づいて、同期式DRAMをアクセスして、そのアクセスコマンドを発行したプロセッサと同期式DRAMとの間でデータを転送するように動作する。

【0011】

【実施例】以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

【0012】【第1実施例】図1は本実施例の情報処理装置の概略構成を示すブロック図である。

$$2fa = 2fb = fc$$

ここで、クロックCの周期は、DRAM105が2つのプロセッサ(CPU101とDSP102)で共有されているため、クロックfa、fbの周波数の2倍の周波数となっており、クロックAとクロックBは、図2に示すように、クロックA(クロックB)の一周分だけ位相がずれている。

【0018】これらクロックA、B、Cの関係を図2に示す。

【0019】ここで同期式DRAM105の動作タイミングについて詳しく述べる。この同期式DRAM105

4

*【0013】図1において、101はCPUであり、クロックモジュール103より出力されるクロック信号(クロックA)を入力して動作し、ROM106からのプログラムデータや各種データを読み出して装置全体を制御している。またCPU101は、キーボード・コントローラ107を介してキーボード109から入力されるデータを処理するとともに、ディスプレイ・コントローラ108を制御して表示用RAM(VRAM)114へデータ書き込んだり、或は表示用RAM114の内容を表示ディスプレイ110へ表示するように制御している。更に、CPU101は、DRAMコントローラ104を制御し、同期式DRAM105との間でデータのやり取りを行うとともに、DSP(デジタル信号処理装置: Digital Signal Processor)102の制御も行っている。

【0014】DSP102には、クロックモジュール103よりクロック信号(クロックB)が供給され、例えばCDなどのデジタル・オーディオソース111からデジタル音声信号を入力して演算処理等を行い、D/Aコンバータ112へ処理済デジタル音声信号を送出している。こうして送出された音声信号は、D/Aコンバータ112によりアナログ信号に変換され、スピーカ113により音声(可聴音)として出力される。また、DSP102はDRAMコントローラ104を制御して、同期式DRAM105との間でデータのやり取りを行っている。

【0015】DRAMコントローラ104は、CPU101及びDSP102からの同期式DRAM105へのアクセス要求を入力し、クロックモジュール103からのクロック信号により、どちらからの信号を同期式DRAM105へ転送するかを選択するアービタとしての役割を果たす。また同期式DRAM105は、クロックモジュール103よりクロックCの供給を受けて動作している。

【0016】ここで、クロックモジュール103より供給される3種類のクロックA、B、Cの各周波数fa、fb、fcの関係は、以下の式に従うものとする。

【0017】

(1)

の特徴としては、クロック入力端子を持ち、入力されるクロックCに同期して、コマンドの入力やデータのリード/ライトなどを行う構成となっていること、内部がパイプライン構成となっていることなどが挙げられる。その結果、従来のDRAMより高速化が可能となっている。

【0020】図3に、このDRAM105の動作タイミングチャートの一例を示す。ここでCLOCKはクロックCに該当し、CKEはクロックイネーブル信号、CSはチップセレクト信号、RASはロウアドレス・ストロ

ープ、CASはカラムアドレス・ストロープ、WEはライトイネーブル信号、A11~A0はアドレス信号、D7~0はデータ(Data)の各信号を示す。またこのDRAM105には、CKE、CS、RAS、CAS、WEの各信号の組み合わせによりコマンドが入力される。

【0021】図4は、これら信号の組み合わせによるコマンド例を説明する図である。また、このDRAM105は2バンク構成(バンクA、B)となっており、これらバンクの設定はアドレス信号のA11及びA10で行っている。このバンクの設定は、例えば後述する図6に示すように、アドレス信号A11により設定される。こうして、例えばCPU101がバンクAを、DSP102がバンクBを使用するように設定される。

【0022】図3及び図4より明らかなように、タイミングT0では、アクティブ(Active)コマンドの入力とロウアドレス(RAS)の入力を行っている。即ち、図3のタイミングT0では、CKE信号がハイレベルでCS信号がロウレベルの状態、RASがロウレベル、CAS及びWEがともにハイレベルとなって、図4に示すActiveコマンドが入力されていることが分かる。またタイミングT1では、リード(Read)コマンドの入力(RASとWEがハイレベルで、CASがロウレベル)とカラムアドレス(CAS)の入力を行っている。そして、タイミングT2からT5までにおいて、データの出入力を行っている。なお、図3の例では、バンクはバンクAを使用している。但し、ここでは、CAS Latency(CAS待ち時間)=1とした。

【0023】CAS Latencyは、CAS信号が同期式DRAM105に入力されてからデータが出力される(リードの場合)までに要するクロック数を規定するもので、図3の例では、CAS信号はT1で入力されているので、データがタイミングT2で出力されればCAS Latency=1となり、データがタイミングT3で出力されるときは、CAS Latency=2となる。このCAS Latencyの値を制御することにより、同期式DRAM105に接続されているデバイスの動作に合わせて、DRAM105よりデータを出入力することができる。

【0024】本実施例のDRAMコントローラ104のハードウェア構成の一例を図5に示す。

【0025】図5において、501、502のそれぞれは、CPU101、DSP102のそれぞれよりの同期式DRAMアクセス要求信号とアドレス信号520、521とをフェッチするフェッチ部であり、CPU101又はDSP102よりのアクセス要求信号を受取ると、Ack信号生成部503へ、アクセス要求信号522、523のそれぞれを転送する。また、フェッチしたアドレス信号524、525のそれぞれを、各ロウ/カラム

アドレス生成部504、505へ転送する。Ack信号生成部503は、フェッチ部501又は502より受け取った各アクセス要求信号522、523に基づいてAck信号526又はAck信号527を生成し、それぞれCPU101又はDSP102へ送る。

【0026】制御信号生成部506は、例えば図4に示すコマンドを作成しており、クロックモジュール103からのクロック信号528と、Ack信号生成部503からのAck信号(制御信号生成用信号)529を受けて、同期式DRAM105へ制御信号530を生成・転送し、CPU101又はDSP102からのアドレス信号(ロウ/カラムアドレス生成部504、505よりの信号)を選択してDRAM105にアドレス信号534を出力するように、マルチプレクサ507へ選択信号531を出力している。更には、CPU101とDSP102との間でのデータ転送方向を制御するトランシーバ508、509のそれぞれに対して、各方向制御信号532、533を転送している。

【0027】次にDRAMコントローラ104の動作タイミングを、図6に示したタイミングチャートに基づいて述べる。CPU101とDSP102は4相クロック(4個のクロック(T0~T3)で一動作を実行する)で動作しているとする。いま、CPU101とDSP102から、同期式DRAM105に対してデータの読出し(リード)要求が出力されたとする。これに対してDRAMコントローラ104は、CPU101とDSP102のそれぞれに対してタイミングT1、T3でAck信号を返す。そして、CPU1よりのアドレス信号524をタイミングT1で、タイミングT2でロウアドレスRa、カラムアドレスCaに分割して同期式DRAM105へ出力する。また、DSP102よりのアドレス信号は、タイミングT3、T4において、CPU101よりのアドレス信号と同様に、Rb、Cbとして同期式DRAM105へ出力する。更に、DRAMコントローラ104は同期式DRAM105の制御信号530も出力する。尚、図6のクロック信号528の周波数はクロックCの周波数と同じであり、制御信号530は制御信号生成部506より出力される。このクロック信号528はCPU101及びDSP102の動作クロックの周波数の2倍であるため、CPU101、DSP102は、T0~T7で一動作を完了する。

【0028】以下、この制御信号530に基づいた各相における同期式DRAM105の動作について述べる。

【0029】タイミングT1では、CPU101よりのロウアドレスRaを読み込み、タイミングT2ではCPU101よりのカラムアドレスCaの読み込みを行っている。またタイミングT3では、DSP102よりのロウアドレスRbを読み込み、タイミングT4では、DSP102よりのカラムアドレスCbの読み込みを行っている。更にタイミングT5では、ロウアドレスRa及び

7

カラムアドレスCaに応じたデータDaの出力を行い、タイミングT7ではRb、Cbに応じたデータDbの出力を行っている。ここでは、CAS Latency=3としている。このようにCAS Latency=3とすることにより、データDa、DbをTa3、Tb3の1つ前のクロック(図6のT5、T7)でトランシーバ508、509へ出力し、トランシーバ508、509からTa3、Tb3においてCPU101、DSP102へデータDa、Dbを出力する。

【0030】即ち、DRAMコントローラ104は、データDa、Dbを各トランシーバ508、509を通して、タイミングTa3、Tb3において、CPU101、DSP102へ出力することで両者のデータ読込み(リード)が完成する。尚、これらタイミングTa3、Tb3は、図2に示すクロックA(CPU101の動作クロック)、クロックB(DSP102の動作クロック)のタイミングに該当している。

【0031】以上の様に構成することにより、CPU101及びDSP102はともに、同期式DRAM105からウエイトなしにデータを読み込むことができる。本実施例ではデータの読み込みの場合で説明したが、DRAM105へのデータの書き込みにおいても同様にして実現できる。

【0032】[第2実施例] 前述の第1実施例では、CPU101とDSP102によりDRAM105を共有する構成としたが、図1において表示用RAM114にDRAMを使用することを考慮して、CPU101とディスプレイ・コントローラ108でメモリを共有する構成としてもよい。

【0033】この第2実施例におけるハードウェア構成のブロック図を図7に示す。図7において、前述の実施例と共通する部分は同じ番号で示し、それらの説明を省略する。DRAMコントローラ104は前述の実施例と同様に、CPU101とディスプレイ・コントローラ108からのアクセス要求に対するアービタの役割を果たす。その動作については前述実施例とほぼ同様であるので、ここでは特に説明しない。

【0034】この第2実施例においては、ディスプレイ・コントローラ108は同期式DRAM105を表示用メモリとして使用しており、この同期式DRAM105をCPU101と共有している。これにより、同期式DRAM105は、前述の第1実施例の場合よりも、より頻繁にアクセスされるため、システムのスループットをより向上できることが期待される。

【0035】[第3実施例] 前述の第1及び第2実施例では、プロセッサをCPU101とDSP102の2個使用した例を挙げたが、これを3個以上としてもよい。第3実施例ではプロセッサを3個使用した例について述べる。

【0036】図8に本実施例におけるハードウェア構成

8

のブロック図を示す。尚、前述の実施例と共通する部分は同じ番号で示し、それらの説明を省略する。ここでは3個のCPU801~803を用いた例を挙げている。クロックモジュール803はこれらCPU801~803及び同期式DRAM105、DRAMコントローラ104にクロックを供給している。

【0037】図9は、クロックモジュール804より供給される4種類のクロック(クロックD~G)の関係を示すタイミング図である。ここでは、3個のプロセッサがDRAM105を共有しているので、各クロックの周波数をそれぞれfd、fe、ff、fgとすると、fd=3fe=3ff=3fgとなる。また、クロックFはクロックEより1周期位相が遅れ、クロックGは更にクロックFよりも1周期位相が遅れている。これらクロックE、F、Gのそれぞれに基づいて各CPU801、802、803が動作し、同期式DRAM105へアクセス要求を出す。そして、3個のCPU801~803からのアクセス要求を受けたDRAMコントローラ104は、前述の実施例と同様に、アービタの役割を果たしている。その動作は第1、第2実施例に準ずるためここでは述べない。

【0038】本実施例では、3個のプロセッサによる構成を示したが、もちろんこれが4個以上の構成も可能であることはいうまでもない。

【0039】尚、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置に本発明を実施するプログラムを供給することによって達成される場合にも適用できる。

【0040】以上説明したように本実施例によれば、従来よりシステムとしての待ち時間が少なくなりスループットを上げることができる。また、メモリの共有化を行うため機器の小型化にも効果がある。

【0041】

【発明の効果】以上説明したように本発明によれば、同期式DRAMを複数のプロセッサの共有メモリとして用い、プロセッサをウエイトさせることなくメモリにアクセスできるようにして、プロセッサのスループットを向上させることができる効果がある。

【0042】また本発明によれば、複数のプロセッサでDRAMを共有できるようにして、装置全体を小型化できる効果がある。

【0043】

【図面の簡単な説明】

【図1】本発明の第1実施例の情報処理装置のハードウェア構成を示すブロック図である。

【図2】第1実施例のクロックジェネレータから出力されるクロックの関係を示した図である

【図3】本実施例の同期式DRAMにおける動作タイミングを示すタイミング図である。

9

10

【図4】本実施例の同期式DRAMへの入力コマンドと入力信号の関係を示した図である。

【図5】本実施例のDRAMコントローラのハードウェア構成を示すブロック図である。

【図6】本実施例のDRAMコントローラの動作タイミングを示すタイミング図である。

【図7】本発明の第2実施例の情報処理装置の構成を示すブロック図である。

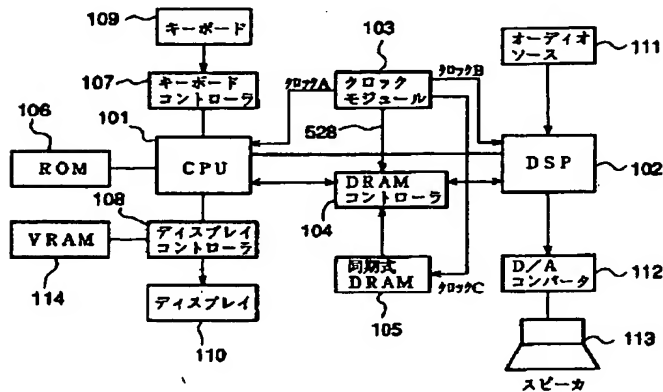
【図8】本発明の第3実施例の情報処理装置の構成を示すブロック図である。

【図9】第3実施例のクロックジェネレータより出力される4種類のクロックの関係を説明するタイミング図である。

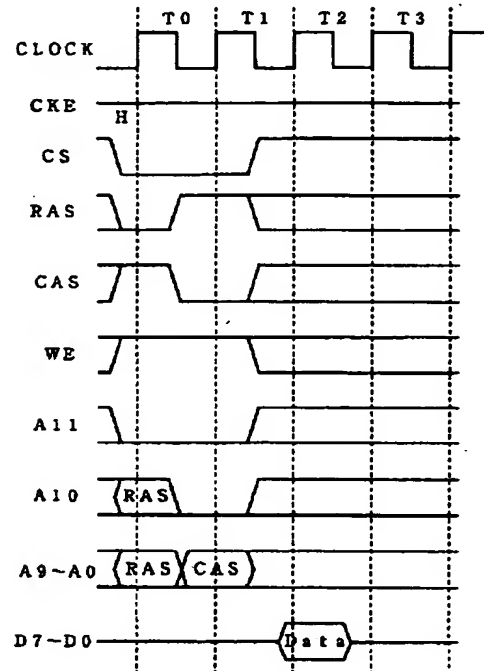
【符号の説明】

- 101, 801, 802, 803 CPU
- 102 DSP (デジタル信号処理部)
- 103, 804 クロックモジュール
- 104 DRAMコントローラ
- 105 同期式DRAM
- 106 ROM
- 107 キーボード・コントローラ
- 108 ディスプレイ・コントローラ
- 109 キーボード
- 110 ディスプレイ
- 111 オーディオソース
- 112 D/Aコンバータ
- 113 スピーカ
- 114 表示用RAM

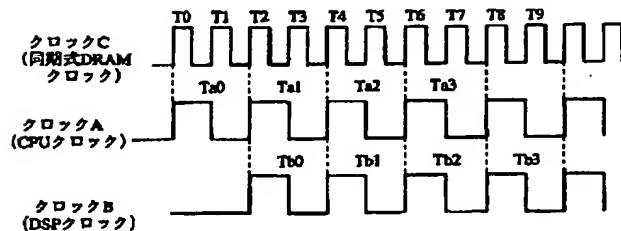
【図1】



【図3】



【図2】

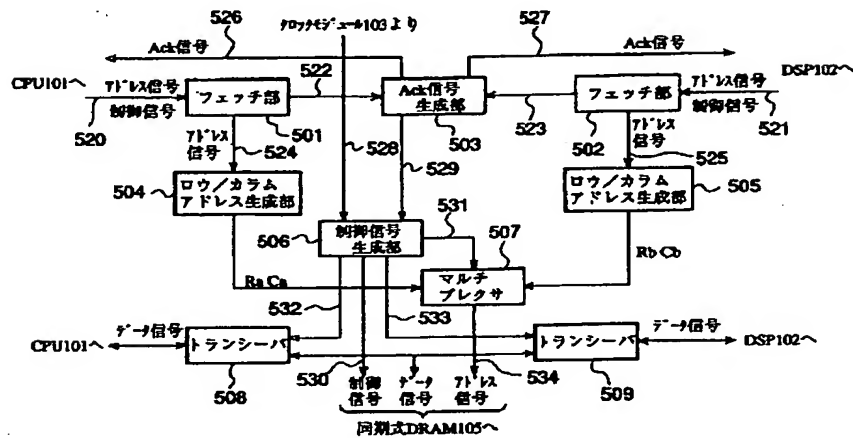


【図4】

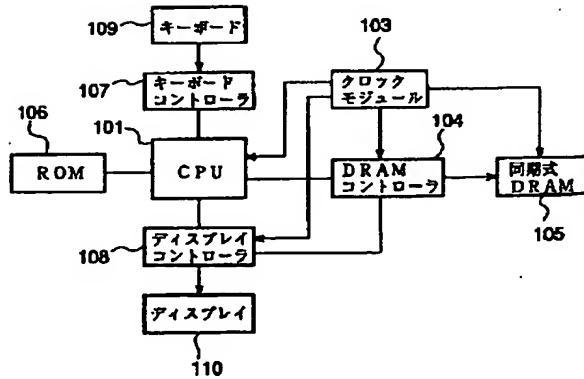
信号 コマンド	CKE		CS	RAS	CAS	WE	A11	A10	A9～ A0
	Pre.	Cur.							
Active	H	X	L	L	H	H	ロウアドレス		
Read	H	X	L	H	L	H	BS	L	カラム アドレス
Write	H	X	L	H	L	L	BS	L	カラム アドレス

X=意味なし, L=ロウレベル, H=ハイレベル, BS=バンク選択

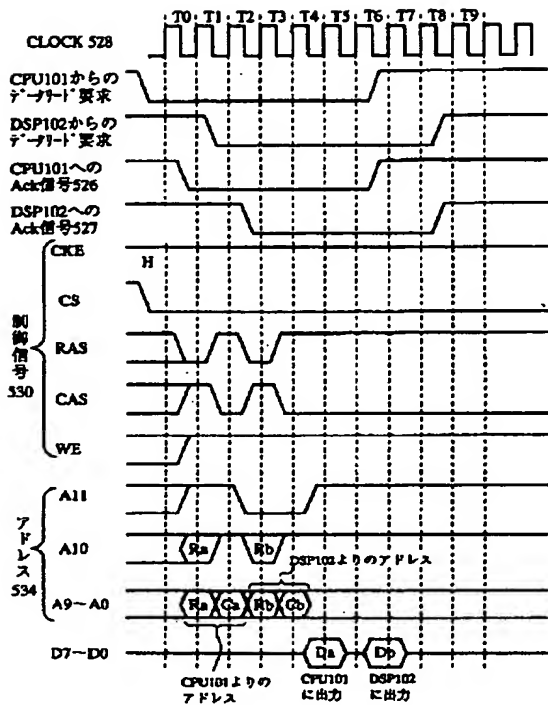
【図5】



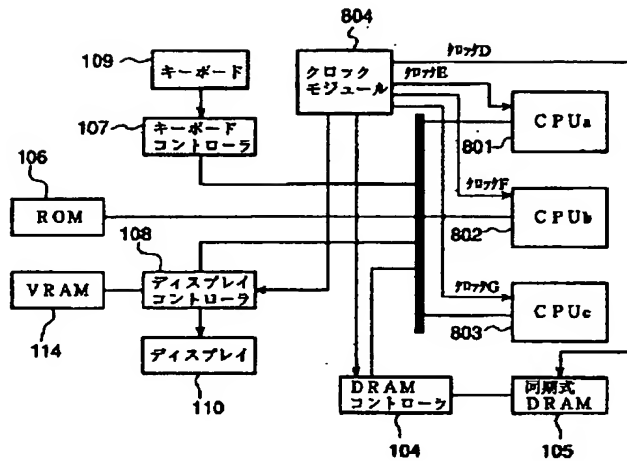
【図7】



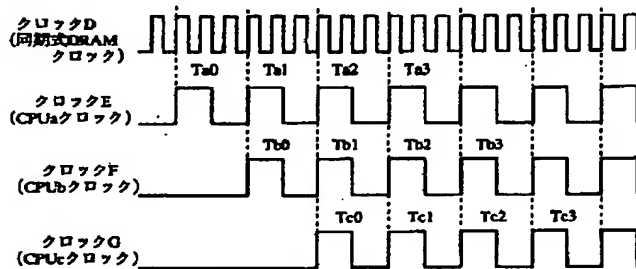
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 巽 栄作
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 森 重樹
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 福田 亮治
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 原田 隆史
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 砂川 伸一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内